

IPW



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:  
Commissioner for Patents, P.O. Box 1450,  
Alexandria, VA 22313-1450 on September 19, 2005  
(Date of Deposit)

Harold C. Moore

Name of person mailing Document or Fee

Signature

September 19, 2005

Date of Signature

Re:	Application of:	Krumbein et al.
	Serial No.:	10/798,720
	Filed:	11 March 2004
	For:	Field Effect Transistor
	Group Art Unit:	2823
	Confirmation No.:	5005
	Examiner:	Belur V. Keshavan
	Our Docket No.:	1890-0064

**SUBMISSION OF PRIORITY DOCUMENT**

Please find for filing in connection with the above patent application a certified copy of the priority document, Certified Copy of German Application Number 103 10 552.2.

Please charge any fee deficiency or credit any overpayment to Deposit Account  
No. 13-0014.

Respectfully submitted,

A handwritten signature in black ink, appearing to read 'H. Moore', with a long horizontal flourish extending to the right.

Harold C. Moore  
Registration No. 37,892  
Maginot, Moore & Beck  
Bank One Center/Tower  
111 Monument Circle, Suite 3000  
Indianapolis, IN 46204-5115

September 19, 2005

Enclosures

TRANSLATION FROM THE GERMAN LANGUAGE

**FEDERAL REPUBLIC OF GERMANY**



**Priority certificate of filing a patent application**

File number : 103 10 552.2  
Application date : March 11, 2003  
Applicant/Proprietor : Infineon Technologies AG, 81669 München

Title : FIELD EFFECT TRANSISTOR

IPC : H 01 L 29/78

The enclosed documents are the correct and exact reproduction of the originally filed patent application.

Munich, March 18, 2004

The President of the German Patent and Trademark Office

By Order

/Signature/

Stanschus



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 103 10 552.2  
**Anmeldetag:** 11. März 2003  
**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE  
**Bezeichnung:** Feldeffekttransistor  
**IPC:** H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. März 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Stanschus

Patentanwälte · Postfach 246 · 82043 Pullach bei München

**Infineon Technologies AG**  
**St.-Martin-Straße 53**

**81669 München**

## PATENTANWÄLTE

European Patent Attorneys  
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.  
Tankred Zimmermann, Dipl.-Ing.  
Ferdinand Stöckeler, Dipl.-Ing.  
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0  
Telefax/Facsimile 089/790 22 15  
Telefax/Facsimile 089/74996977

e-mail: [szsz\\_iplaw@t-online.de](mailto:szsz_iplaw@t-online.de)

---

### FELDEFFEKTTRANSISTOR

---

## Beschreibung

## Feldeffekttransistor

- 5 Die vorliegende Erfindung bezieht sich auf einen Feldeffekttransistor mit einer reduzierten kapazitiven Kopplung zwischen Drain und Substrat.

Für zahlreiche Großsignalanwendungen werden LDMOS-  
10 Transistoren bzw. LDMOS-Feldeffekttransistoren (LDMOS = lateral diffused metal oxide semiconductor = lateral diffundierter Metalloxidfeldeffekttransistor) verwendet, beispielsweise für Leistungsverstärker für Basisstationen, Handsets, Mobiltelefone etc. Die Ausgangskapazität eines LDMOS-  
15 Feldeffekttransistors ist von der Drainspannung bzw. von der Spannung zwischen der Drain bzw. dem Drainbereich einerseits und dem oft mit einem Bezugspotential verbundenen Substrat andererseits abhängig.

20 Fig. 3 ist eine schematische Darstellung eines vertikalen Schnitts durch einen herkömmlichen LDMOS-Feldeffekttransistor. Ein p-dotiertes Grundsubstrat 10 weist eine erste, untere Oberfläche 12 und eine zweite, obere Oberfläche 14 auf. An der unteren Oberfläche 12 weist das  
25 Grundsubstrat 10 einen Rückseitenkontakt in Form einer Metallbeschichtung 16 auf. Auf der oberen Oberfläche 14 des Grundsubstrats 10 ist mittels eines epitaktischen Verfahrens, beispielsweise mittels CVD-Epitaxie (CVD = chemical vapor deposition = chemische Dampfphasenabscheidung), eine p-dotierte Epitaxieschicht 20 erzeugt. Das Grundsubstrat 10 und  
30 die Epitaxieschicht 20 bilden zusammen ein Bauelementsubstrat 30 mit einer Oberfläche 32, die gleichzeitig eine von dem Grundsubstrat 10 abgewandte Oberfläche der Epitaxieschicht 20 ist.

35

In bzw. auf der Epitaxieschicht 20 sind der Feldeffekttransistor bzw. seine Halbleiterfunktionselemente angeordnet. Ein

Sourcebereich 40 wird durch einen  $n^+$ -dotierten Bereich an bzw. direkt unter der Oberfläche 32 gebildet. An einer von der Oberfläche 32 abgewandten Seite des Sourcebereichs 40 schließt sich ein p-dotierter Enhance-Bereich 42 an. An eine  
5 von dem Sourcebereich 40 und der Oberfläche 32 abgewandte Seite des Enhance-Bereichs 42 schließt sich ein p-dotierter Body-Bereich 44 an, der jedoch im Gegensatz zum Enhance-Bereich 42 mindestens in einer Richtung eine größere Ausdehnung als der Sourcebereich 40 aufweist und damit auch seit-  
10 lich bzw. lateral an den Sourcebereich 40 und den Enhance-Bereich 42 sowie an die Oberfläche 32 angrenzt.

Lateral von dem Sourcebereich 40 beabstandet, jedoch lateral an den Body-Bereich 44 angrenzend, ist an der Oberfläche 32  
15 ein Drainbereich angeordnet, der in diesem Ausführungsbeispiel aus drei Drainteilbereichen 50, 52, 54 mit unterschiedlich hoher Dotierungskonzentration gebildet ist. Ein erster Drainteilbereich 50, der den größten Abstand zum Sourcebereich 40 aufweist, ist  $n^+$ -dotiert. In Richtung zum Sourcebereich 40 schließt sich an den ersten Drainteilbereich 50 ein  
20 zweiter Drainteilbereich 52 an, dessen Dotierungskonzentration niedriger als die des ersten Drainteilbereichs 50 ist. An den zweiten Drainteilbereich 52 schließt sich ein dritter Drainteilbereich 54 an, der an den Body-Bereich 44 angrenzt und eine niedrigere Dotierungskonzentration aufweist als der  
25 zweite Drainteilbereich 52. Der zweite Drainteilbereich 52 und der dritte Drainteilbereich 54 werden zusammen auch als Resurf-Bereich (Resurf = reduced surface field = reduziertes Oberflächenfeld) bezeichnet.

30 An eine vom Drainbereich 50, 52, 54 abgewandte Seite des Sourcebereichs 40 schließt sich ein  $p^+$ -dotierter Bereich 60 an der Oberfläche 32 an. Zwischen dem  $p^+$ -dotierten Bereich 60 und dem Grundsubstrat 10 bzw. dessen oberer Oberfläche 14  
35 erstreckt sich ein p-dotierter Sinkler 62, der die elektrische Leitfähigkeit zwischen dem  $p^+$ -dotierten Bereich 60 und dem Grundsubstrat 10 erhöht.

An einer von dem Sourcebereich 40, dem Enhance-Bereich 42 und dem Body-Bereich 44 abgewandten Seite des  $p^+$ -dotierten Bereichs 60 und des Sinkers 62 schließen sich lateral weitere  
5 Strukturen 40', 42', 44' an, bei denen es sich beispielsweise um einen weiteren Sourcebereich, einen weiteren Enhance-Bereich und einen weiteren Body-Bereich oder aber um die in Form eines offenen oder geschlossenen Bogens oder Rahmens um den  $p^+$ -dotierten Bereich 60 und den Sinker 62 lateral herum-  
10 geführten Sourcebereich 40, Enhance-Bereich 42 und Body-Bereich 44 handelt.

Auf der Epitaxieschicht 20 sind eingebettet in eine Dielektrikumsschicht 66 elektrisch leitfähige Strukturen aus  
15 Metallen oder anderen elektrischen Leitern angeordnet. Eine Sourcemetallisierung 70 grenzt an den Sourcebereich 40 und den  $p^+$ -dotierten Bereich 60 an und kontaktiert dieselben bzw. ist mit denselben elektrisch leitfähig verbunden. Durchgangslochleiter 72 verbinden die Sourcemetallisierung 70 elekt-  
20 risch leitfähig mit lateral überlappenden bzw. teilweise vertikal über der Sourcemetallisierung 70 angeordneten Abschirmleitern 74, die Bestandteil einer darüberliegenden Metallisierungsebene sind.

25 Eine Drainmetallisierung 80 grenzt an den am höchsten dotierten ersten Drainteilbereich 50 und ist mit diesem elektrisch leitfähig verbunden.

Über dem Abschnitt des Body-Bereichs 44, der an die Oberfläche 32 angrenzt, ist ein Gate 90 aus einer dotierten Polysiliziumsschicht 92 und einer Silizidschicht 94 angeordnet. Das  
30 Gate 90 bzw. die Polysiliziumsschicht 92 desselben ist von der Oberfläche 32 bzw. von dem dem Gate 90 wesentlichen gegenüberliegenden Body-Bereich 44 durch eine dünne Isolierschicht  
35 96 (Gateoxid) räumlich beabstandet und elektrisch isoliert.



Bei Anlegen einer positiven Spannung an das Gate 90 bildet sich in dem dem Gate 90 gegenüberliegenden Body-Bereich 44 nahe der Oberfläche 32 eine dünne leitfähige Schicht, der sogenannte Kanal, aus. Der Bereich, in dem sich der Kanal bei  
5 Anlegen der positiven Spannung ausbildet, wird im Folgenden als Kanalbereich 98 bezeichnet.

Zwischen dem Drainbereich 50, 52, 54 einerseits und angrenzenden Bereichen der Epitaxieschicht 20 andererseits liegt  
10 ein pn-Übergang vor. An diesem bildet sich eine Raumladungszone bzw. eine Verarmungszone aus, deren Dicke bzw. deren Ausdehnung senkrecht zu dem pn-Übergang von der Höhe der anliegenden Drainspannung bzw. von der Potentialdifferenz zwischen dem Drainbereich 50, 52, 54 einerseits und dem  
15 Substrat 10 andererseits abhängig ist. Der gesperrte pn-Übergang zwischen dem Drainbereich 50, 52, 54 und dem Substrat 10 bildet gleichzeitig einen Kondensator, dessen Kapazität von der Dicke der genannten Raumladungszone und damit von der Drainspannung abhängt.

20

Wie oben bereits erwähnt, erschwert die von der Drainspannung abhängige Ausgangskapazität bzw. Kapazität zwischen dem Drainbereich 50, 52, 54 und dem Substrat 10 die Anpassung einer Schaltung, die mit dem Feldeffekttransistor verbunden  
25 ist, an denselben. Bisher musste diese von der Drainspannung abhängige Ausgangskapazität des Feldeffekttransistors hingenommen werden.

Die Aufgabe der vorliegenden Erfindung besteht darin, einen  
30 Feldeffekttransistor mit einer von der Drainspannung unabhängigen Kapazität zwischen einem Drainbereich und einem Substrat zu schaffen.

Diese Aufgabe wird durch einen Feldeffekttransistor gemäß  
35 Anspruch 1 gelöst.

Die vorliegende Erfindung schafft einen Feldeffekttransistor mit einem Substrat mit einer Dotierung eines ersten Leitfähigkeitstyps, einem Drainbereich in dem Substrat mit einer Dotierung eines zweiten, zu dem ersten Leitfähigkeitstyp entgegengesetzten Leitfähigkeitstyps, einem Sourcebereich in dem Substrat, der von dem Drainbereich lateral beabstandet ist und eine Dotierung des zweiten Leitfähigkeitstyps aufweist, und einem Kanalbereich in dem Substrat, der zwischen dem Sourcebereich und dem Drainbereich angeordnet ist. Mit dem Drainbereich ist ein Bereich mit einer Dotierung des zweiten Leitfähigkeitstyps verbunden, der derart in einem an den Drainbereich angrenzenden Abschnitt des Substrats angeordnet ist, dass in dem Abschnitt alternierende Gebiete mit dem ersten Leitfähigkeitstyp und mit dem zweiten Leitfähigkeitstyp angeordnet sind.

Gemäß einer bevorzugten Ausgestaltung schafft die vorliegende Erfindung einen Halbleiterchip mit dem erfindungsgemäßen Feldeffekttransistor.

20

Die vorliegende Erfindung beruht auf der Idee, unterhalb des Drainbereichs einen Bereich zu schaffen, der aufgrund seiner räumlichen Struktur bereits bei niedrigen Drainspannungen eine vollständige Verarmung innerhalb einer möglichst dicken, jedoch von der Drainspannung unabhängigen Schicht bewirkt, so dass bei höheren Drainspannungen keine oder keine wesentliche Veränderung der Dicke der Verarmungszone mehr auftritt. Dies wird beispielsweise dadurch erreicht, dass der Bereich eine oder mehrere Säulen oder Lamellen aufweist bzw. die Form einer oder mehrerer Säulen oder Lamellen mit einer Dotierung aufweist, deren Ladungsträgertyp gleich dem des Drainbereichs und zu dem des Substrats entgegengesetzt ist. Die Dicke der Säulen bzw. Lamellen und die Abmessungen der zwischen diesen verbleibenden Bereiche des entgegengesetzt dotierten Substrats sind so (klein) gewählt, dass bereits bei einer möglichst niedrigen Drainspannung Raumladungszonen erzeugt

werden, welche die Säulen bzw. Lamellen und die Zwischenräume zwischen denselben vollständig erfüllen.

Ein wesentlicher Vorteil der vorliegenden Erfindung besteht  
5 darin, dass ab einer vorbestimmten minimalen Drainspannung,  
bei der die Raumladungszonen, wie erwähnt, sowohl die Säulen  
oder Lamellen des Bereichs als auch das Substratmaterial in  
deren Umgebung vollständig erfüllen, die räumliche Ausdehnung  
und insbesondere die Dicke dieser Verarmungszone im wesentli-  
10 chen nur noch von der Geometrie dieser Säulen oder Lamellen  
und nicht mehr von der Drainspannung abhängt. Die Kapazität  
zwischen dem Drainbereich und dem Substrat ist dann von der  
Drainspannung weitgehend unabhängig. Dies ermöglicht eine  
einfache, unaufwendige und effiziente Hochfrequenzanpassung  
15 einer Schaltung, in der der erfindungsgemäße Feldeffekttran-  
sistor verwendet wird, an den Feldeffekttransistor.

Bevorzugte Weiterbildungen der vorliegenden Erfindung sind in  
den Unteransprüchen definiert.

20

Nachfolgend werden bevorzugte Ausführungsbeispiele der vor-  
liegenden Erfindung mit Bezug auf die beiliegenden Figuren  
näher erläutert. Es zeigen:

25 Fig. 1 ein schematische Schnittdarstellung eines Feldef-  
fekttransistors gemäß einem ersten Ausführungsbei-  
spiel der vorliegenden Erfindung;

30 Fig. 2 eine schematische Schnittdarstellung eines Feldef-  
fekttransistors gemäß einem zweiten Ausführungsbei-  
spiels der vorliegenden Erfindung; und

Fig. 3 eine schematische Schnittdarstellung eines herkömm-  
lichen Feldeffekttransistors.

35

Fig. 1 ist eine schematische Darstellung eines vertikalen  
Schnitts durch einen Feldeffekttransistor gemäß einem ersten

bevorzugten Ausführungsbeispiel der vorliegenden Erfindung. Dieser Feldeffekttransistor unterscheidet sich von dem oben anhand der Fig. 3 beschriebenen herkömmlichen Feldeffekttransistor dadurch, dass unter dem Drainbereich 50, 52, 54 und insbesondere unter den beiden höherdotierten Drainteilbereichen 50, 52 ein Bereich aus einer Mehrzahl von Säulen 102 angeordnet ist, der wie der Drainbereich 50, 52, 54 n-dotiert ist. Die n-dotierten Säulen 102 sind senkrecht zu der Oberfläche 32 der Epitaxieschicht 20 angeordnet und grenzen unmittelbar an den Drainbereich 50, 52, 54 an, so dass sie mit demselben elektrisch leitfähig verbunden sind. Die Säulen 102 haben einen möglichst kleinen Durchmesser und einen möglichst kleinen gegenseitigen bzw. lateralen Abstand bzw. möglichst schmale Zwischenräume 104. Dadurch wird bewirkt, dass beim Anlegen einer Drainspannung und damit beim Anlegen einer Spannung zwischen den n-dotierten Säulen 102 und dem sie umgebenden p-dotierten Material der Epitaxieschicht 20 in Sperrichtung die von den Grenzflächen zwischen den Säulen 102 und dem umgebenden Material an der Epitaxieschicht ausgehenden Raumladungszonen möglichst schnell bzw. bei einer möglichst geringen Drainspannung die Säulen 102 und die Zwischenräume 104 zwischen den Säulen 102 vollständig ausfüllen.

Die Länge der Säulen 102 ist vorzugsweise so gewählt, dass sie einen geringen vertikalen Abstand von der oberen Oberfläche 14 des Grundsubstrats 10 aufweisen, der näherungsweise die gleiche Größe hat wie der Abstand zwischen den Säulen 102 und der Durchmesser der Säulen 102. Beim Anlegen der oben beschriebenen minimalen Drainspannung wird damit die Epitaxieschicht 20 unter den am höchsten dotierten Drainteilbereichen 50, 52 vollständig verarmt. Wenn die Drainspannung ausgehend von der minimalen Drainspannung weiter erhöht wird, wächst die Verarmungszone nur noch minimal in vertikaler Richtung. Das von der Drainspannung abhängige Wachstum der Verarmungszone wird ferner stark eingeschränkt, wenn das Grundsubstrat 10 eine hohe Dotierungskonzentration oder zumindest eine wesentlich höhere Dotierungskonzentration als

die Epitaxieschicht 20 aufweist. Bei dem in Fig. 1 dargestellten Ausführungsbeispiel des erfindungsgemäßen Feldeffekttransistors ist die Kapazität zwischen dem Drainbereich 50, 52, 54 und dem Substrat 10 somit näherungsweise die

5 Kapazität eines entsprechenden Kondensators mit einem Plattenabstand, der weitestgehend unabhängig von der Drainspannung konstant ist und der Dicke der Epitaxieschicht 20 abzüglich der Dicke bzw. der vertikalen Abmessung des Drainbereichs 50, 52, 54 entspricht. Die Kapazität zwischen dem

10 Drainbereich 50, 52, 54 und dem Substrat 10 ist somit klein und näherungsweise konstant.

Die vorliegende Erfindung bewirkt somit eine Nivellierung der Ausgangskapazität im Bereich der Sperrschicht und insbesondere im Bereich der Sperrschicht, die sich zwischen Drain und

15 Substrat ausbildet.

Gemäß einer Variante des ersten Ausführungsbeispiels der vorliegenden Erfindung sind anstelle der Säulen 102 Lamellen

20 bzw. Platten unterhalb des Drainbereichs 50, 52, 54 angeordnet, die an denselben angrenzen und sich in vertikaler Richtung näherungsweise bis zu der oberen Oberfläche 14 des Grundsubstrats 10 erstrecken. Die Fig. 1 kann auch so interpretiert werden, dass die sichtbaren Strukturen 102 Querschnittsflächen dieser Lamellen bzw. Platten sind. Anstelle

25 mehrerer Lamellen oder Platten ist alternativ nur eine Lamelle vorgesehen sein, die lateral die Form einer Spirale aufweist.

Fig. 2 ist eine schematische Darstellung eines vertikalen Schnitts durch einen Feldeffekttransistor gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung. Das zweite

30 Ausführungsbeispiel unterscheidet sich von dem anhand der Fig. 1 dargestellten ersten Ausführungsbeispiel dadurch, dass

35 anstelle der vertikalen Säulen oder Lamellen bzw. Platten 102 horizontale bzw. parallel zu der Oberfläche 32 der Epitaxieschicht 20 angeordnete n-dotierte Säulen bzw. Stäbe oder

Platten bzw. Lamellen 106 vorgesehen sind, die über einen weiteren n-dotierten, jedoch vertikal ausgerichteten, stab-, säulen-, platten- oder lamellenförmigen Verbindungsbereich 108 mit dem Drainbereich 50, 52, 54 geometrisch und elektrisch leitfähig verbunden sind. Die Stäbe oder Platten 106 des zweiten Ausführungsbeispiels sowie Zwischenräume 110 zwischen denselben sind vorzugsweise ähnlich oder gleich dimensioniert wie die Säulen oder Lamellen 102 des ersten Ausführungsbeispiels und weisen dieselbe Funktion auf.

10

Den Ausführungsbeispielen aus den Fig. 1 und 2 ist gemein, dass der aus den Säulen, Stäben, Lamellen oder Platten gebildete Bereich 102, 106, 108 zumindest entlang einer Schnittebene einen kammförmigen Querschnitt aufweist. Bei der vertikalen Ausrichtung der Säulen oder Lamellen 102, wie sie das anhand das Fig. 1 dargestellte erste Ausführungsbeispiel aufweist, ist vorzugsweise eine Mehrzahl oder eine Vielzahl von Säulen oder Lamellen 102 oder aber eine einzige lateral spiralförmige Lamelle 102 vorgesehen, damit die erzeugte Verarmungszone eine möglichst große laterale Ausdehnung aufweist, die vorzugsweise näherungsweise der lateralen Ausdehnung zumindest der höherdotierten Drainteilbereiche 50, 52 entspricht. Im Falle der horizontal ausgerichteten Strukturen des anhand der Fig. 2 dargestellten zweiten Ausführungsbeispiels ist eine Platte 106 mit entsprechender lateraler Ausdehnung ausreichend, um die oben beschriebenen Vorteile der vorliegenden Erfindung zu realisieren. Eine Mehrzahl paralleler Platten 106 ist jedoch vorteilhaft, da sie eine entsprechend dickere Verarmungszone bewirkt. Eine einzelne horizontale bzw. zu der Oberfläche 32 parallele Platte 106 weist keinen kammförmigen Querschnitt auf. Beiden beschriebenen Ausführungsbeispielen und ihren Varianten ist jedoch gemein, dass sie eine alternierende Anordnung von Gebieten bzw. alternierende Gebiete mit entgegengesetzten Leitfähigkeitstypen erzeugen.

35

Ein Feldeffekttransistor gemäß der vorliegenden Erfindung wird vorzugsweise durch ein Verfahren hergestellt, dessen Verfahrensschritte teilweise einem herkömmlichen Herstellungsverfahren entsprechen. Insbesondere wird zunächst ein

5 Grundsubstrat, beispielsweise ein monokristallines Siliziumsubstrat erzeugt, indem beispielsweise eine entsprechende Scheibe aus einem gezogenen Siliziumeinkristall geschnitten und ihre Oberflächen poliert werden. Auf die obere Oberfläche

10 14 des Grundsubstrats 10 wird die Epitaxieschicht 20 aufgewachsen. Die vertikal ausgerichteten Säulen oder Lamellen 102 des ersten Ausführungsbeispiels werden vorzugsweise erzeugt, indem in die fertiggestellte Epitaxieschicht 20 Löcher bzw. Gräben geätzt werden, die mit Silizium aufgefüllt werden, dessen Dotierung einen Leitfähigkeitstyp aufweist, der zum

15 Leitfähigkeitstyp des Substrats 10 und insbesondere der Epitaxieschicht 20 entgegengesetzt ist. Alternativ wird zunächst nur eine Teilschicht der Epitaxieschicht 20 erzeugt, die den Bereich der zukünftigen Säulen bzw. Lamellen 102 umfasst. Nach dem Erzeugen der Säulen oder Lamellen 102 wird

20 eine weitere Teilschicht der Epitaxieschicht 20 aufgebracht, in der später der Drainbereich 50, 52, 54 angeordnet sein wird.

Alternativ werden die Säulen oder Lamellen 102 nach dem

25 Erzeugen der Epitaxieschicht 20 durch Implantation von Dotieratomen durch eine entsprechende Maske hindurch erzeugt.

Alternativ wird die Epitaxieschicht 20 in mehreren Teilschichten erzeugt, in denen jeweils Teilstücke der Säulen

30 bzw. Lamellen 102 durch Implantation erzeugt werden, wobei diese Teilstücke lateral ausgerichtet sind und zusammen die Säulen bzw. Lamellen 102 bilden.

Horizontale Strukturen, wie sie in dem anhand der Fig. 2

35 dargestellten zweiten Ausführungsbeispiel vorliegen, werden vorzugsweise erzeugt, indem die Epitaxieschicht 20 in mehreren Teilschichten aufgebracht wird, wobei die horizontalen

Stäbe bzw. Balken oder Platten 106 durch Implantation von Dotieratomen oder durch Ätzen entsprechender Gräben oder Ausnehmungen und Auffüllen derselben mit dotiertem Silizium erzeugt werden.

5

Die Erzeugung des Drainbereichs 50, 52, 54, des Sourcebereichs 40, des Enhance-Bereichs 42, des Body-Bereichs 44, des  $p^+$ -dotierten Bereichs 60 und des Sinkers 62 erfolgen vorzugsweise ebenso wie die Erzeugung der Leiterstrukturen 70, 72, 10 74, 80 und des Gates 90 ähnlich wie bei herkömmlichen Feldeffekttransistoren.

Die vorliegende Erfindung wurde für einen LDMOS-Feldeffekttransistor mit n-dotierten Source- und Drainbereichen 40, 50, 52, 54 und einem p-dotierten Body-Bereich 44 in 15 einer p-dotierten Epitaxieschicht 20 auf einem p-dotierten Grundsubstrat 10 beschrieben. Die vorliegende Erfindung ist jedoch für alle Arten von Feldeffekttransistoren, insbesondere laterale Feldeffekttransistoren in allen Arten von Halbleitersubstraten mit und ohne Epitaxieschicht realisierbar. 20



## Patentansprüche

## 1. Feldeffekttransistor mit:

5 einem Substrat (30) mit einer Dotierung eines ersten Leitfähigkeitstyps;

einem Drainbereich (50, 52, 54) in dem Substrat (30) mit einer Dotierung eines zweiten, zu dem ersten Leitfähigkeitstyp entgegengesetzten Leitfähigkeitstyps;

10

einem Sourcebereich (40) in dem Substrat (30), der von dem Drainbereich (50, 52, 54) lateral beabstandet ist, mit einer Dotierung des zweiten Leitfähigkeitstyps;

15

einem Kanalbereich (98) in dem Substrat (30), der zwischen dem Sourcebereich (40) und dem Drainbereich (50, 52, 54) angeordnet ist; und

20 einem Bereich (102, 106) mit einer Dotierung des zweiten Leitfähigkeitstyps, der mit dem Drainbereich (50, 52, 54) verbunden und derart in einem an den Drainbereich (50, 52, 54) angrenzenden Abschnitt des Substrats (30) angeordnet ist, dass in dem Abschnitt alternierende Gebiete mit dem ersten Leitfähigkeitstyp und mit dem zweiten Leitfähigkeitstyp angeordnet sind.

25

2. Feldeffekttransistor gemäß Anspruch 1, bei dem der Bereich (102, 106) so ausgebildet ist, dass bei Anliegen einer vorbestimmten Drainspannung der an den Drainbereich (50, 52, 54) angrenzende Abschnitt des Substrats (30) vollständig verarmt.

30

3. Feldeffekttransistor gemäß Anspruch 1 oder 2, bei dem der Bereich (102, 106) einen kammförmigen Querschnitt aufweist.

35

4. Feldeffekttransistor gemäß einem der Ansprüche 1 bis 3, bei dem das Substrat (30) eine Oberfläche (32) aufweist, an der der Sourcebereich (40), der Kanalbereich (98) und der Drainbereich (50, 52, 54) angeordnet sind, und bei dem der Bereich eine oder eine Mehrzahl von Lamellen oder Säulen (102, 104) aufweist, die parallel oder senkrecht zu der Oberfläche (32) des Substrats (30) angeordnet sind.

5. Feldeffekttransistor gemäß einem der Ansprüche 1 bis 4, bei dem das Substrat (30) eine Oberfläche (32) aufweist, an der der Sourcebereich (40), der Kanalbereich (98) und der Drainbereich (50, 52, 54) angeordnet sind, und bei dem der Abschnitt des Substrats (30), in dem der Bereich (102, 106) angeordnet ist, an einer von der Oberfläche (32) des Substrats (30) abgewandten Seite des Drainbereichs (50, 52, 54) angeordnet ist.

6. Feldeffekttransistor gemäß einem der Ansprüche 1 bis 5, bei dem das Substrat (30) ein Grundsubstrat (10) mit einer Oberfläche (14) und eine auf die Oberfläche (14) des Grundsubstrats (10) epitaktisch aufgewachsene Epitaxieschicht (20) aufweist, wobei der Sourcebereich (40), der Drainbereich (50, 52, 54) und der Kanalbereich (98) in der Epitaxieschicht (20) angeordnet sind, und wobei der Abschnitt, in dem der Bereich (102, 106) angeordnet ist, von dem Drainbereich (50, 52, 54) bis zu der Oberfläche (14) des Grundsubstrats (10) reicht.

7. Feldeffekttransistor gemäß einem der Ansprüche 1 bis 6, bei dem der Drainbereich einen niedrig dotierten Draineilbereich (52, 54) mit einem oder mehreren Drainabschnitten umfasst, in dem bzw. in denen eine Dotierungskonzentration in Richtung zu dem Kanalbereich (98) kontinuierlich oder stufenweise abnimmt.

8. Feldeffekttransistor gemäß Anspruch 7, bei dem eine laterale Ausdehnung des Bereichs (102, 106) mindestens so

groß ist wie eine laterale Ausdehnung eines am höchsten dotierten Abschnitts (50) des Drainbereichs.

5 9. Feldeffekttransistor gemäß einem der Ansprüche 1 bis 8, wobei der Feldeffekttransistor ein LDMOS-Feldeffekttransistor mit einem durch laterale Diffusion erzeugten Sourcebereich (40) ist.

10 10. Feldeffekttransistor gemäß einem der Ansprüche 1 bis 9, bei dem der Bereich (102, 106) durch sukzessive Epitaxie und Implantation erzeugt ist.

11. Halbleiterchip mit einem Feldeffekttransistor gemäß einem der Ansprüche 1 bis 10.

15

## Zusammenfassung

## Feldeffekttransistor

- 5 Ein Feldeffekttransistor umfasst ein Substrat (30) mit einer  
Dotierung eines ersten Leitfähigkeitstyps, einen Drainbereich  
(50, 52, 54) in dem Substrat (30) mit einer Dotierung eines  
zweiten, zu dem ersten Leitfähigkeitstyp entgegengesetzten  
10 Leitfähigkeitstyps, einen Sourcebereich (40) in dem Substrat  
(30), der von dem Drainbereich (50, 52, 54) lateral beabstan-  
det ist, mit einer Dotierung des zweiten Leitfähigkeitstyps  
und einem Kanalbereich (98) in dem Substrat (30), der zwi-  
schen dem Sourcebereich (40) und dem Drainbereich (50, 52,  
54) angeordnet ist. In einem an den Drainbereich (50, 52, 54)  
15 angrenzenden Abschnitt des Substrats (30) ist ein Bereich  
(102, 104) mit einer Dotierung des zweiten Leitfähigkeits-  
typs, der mit dem Drainbereich (50, 52, 54) verbunden ist,  
derart angeordnet, dass in dem Abschnitt alternierende Gebie-  
te mit dem ersten Leitfähigkeitstyp und mit dem zweiten  
20 Leitfähigkeitstyp angeordnet sind.

Figur 1

## Bezugszeichenliste

10	Grundsubstrat
12	untere Oberfläche
14	obere Oberfläche
16	Metallbeschichtung
20	Epitaxieschicht
30	Substrat
32	Oberfläche der Epitaxieschicht
40	Sourcebereich
42	Enhance-Bereich
44	Body-Bereich
50	erster Drainteilbereich
52	zweiter Drainteilbereich
54	dritter Drainteilbereich
60	p <sup>+</sup> -dotierter Bereich
62	Sinker
66	Dielektrikumsschicht
70	Sourcemetallisierung
72	Durchgangslochleiter
74	Abschirmleiter
80	Drainmetallisierung
90	Gate
92	Polysiliziumsschicht
94	Silizidschicht
96	Isolierschicht
98	Kanalbereich
102	Säule
104	Zwischenraum
106	Platte
108	Verbindungsbereich
110	Zwischenraum

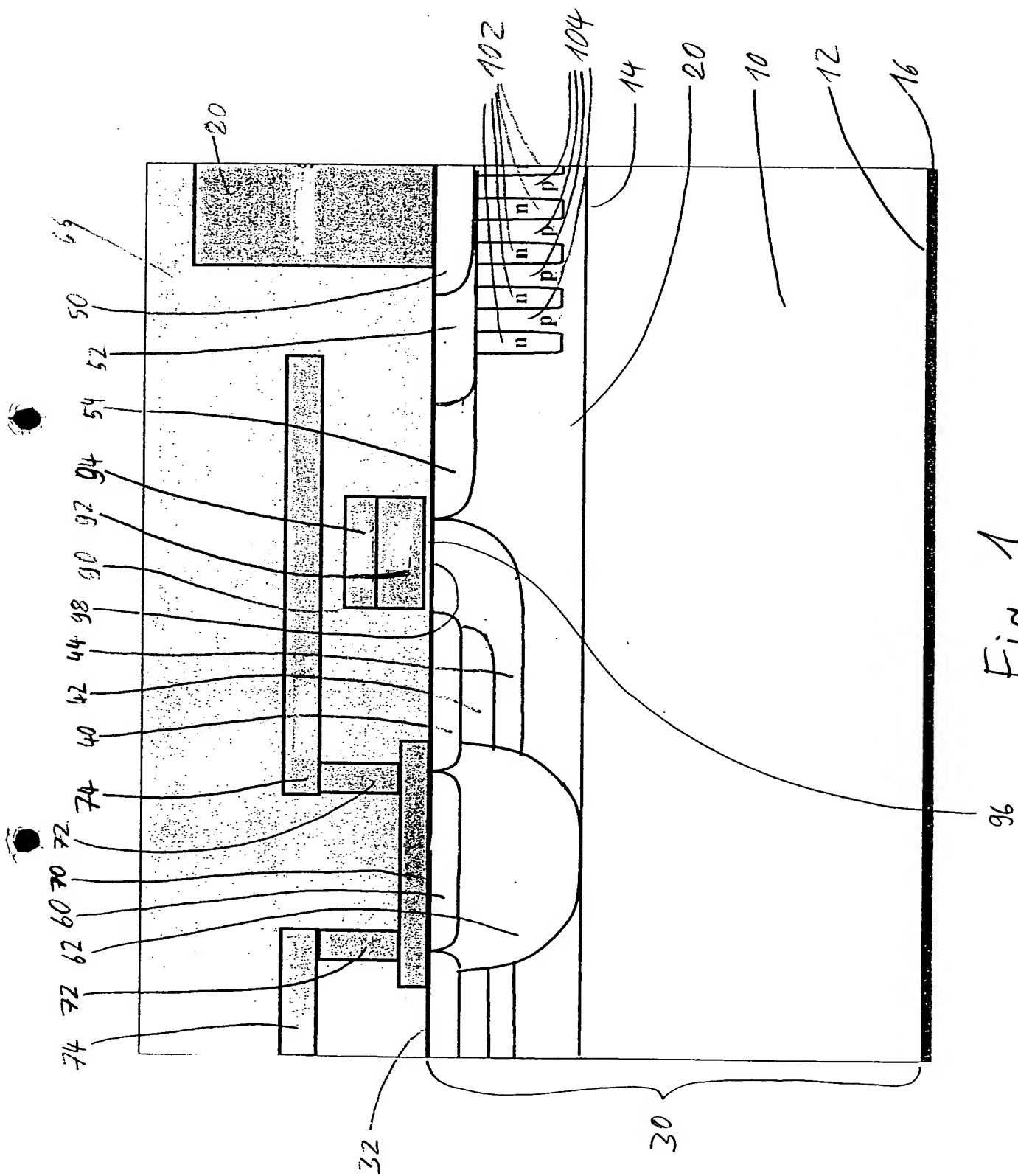
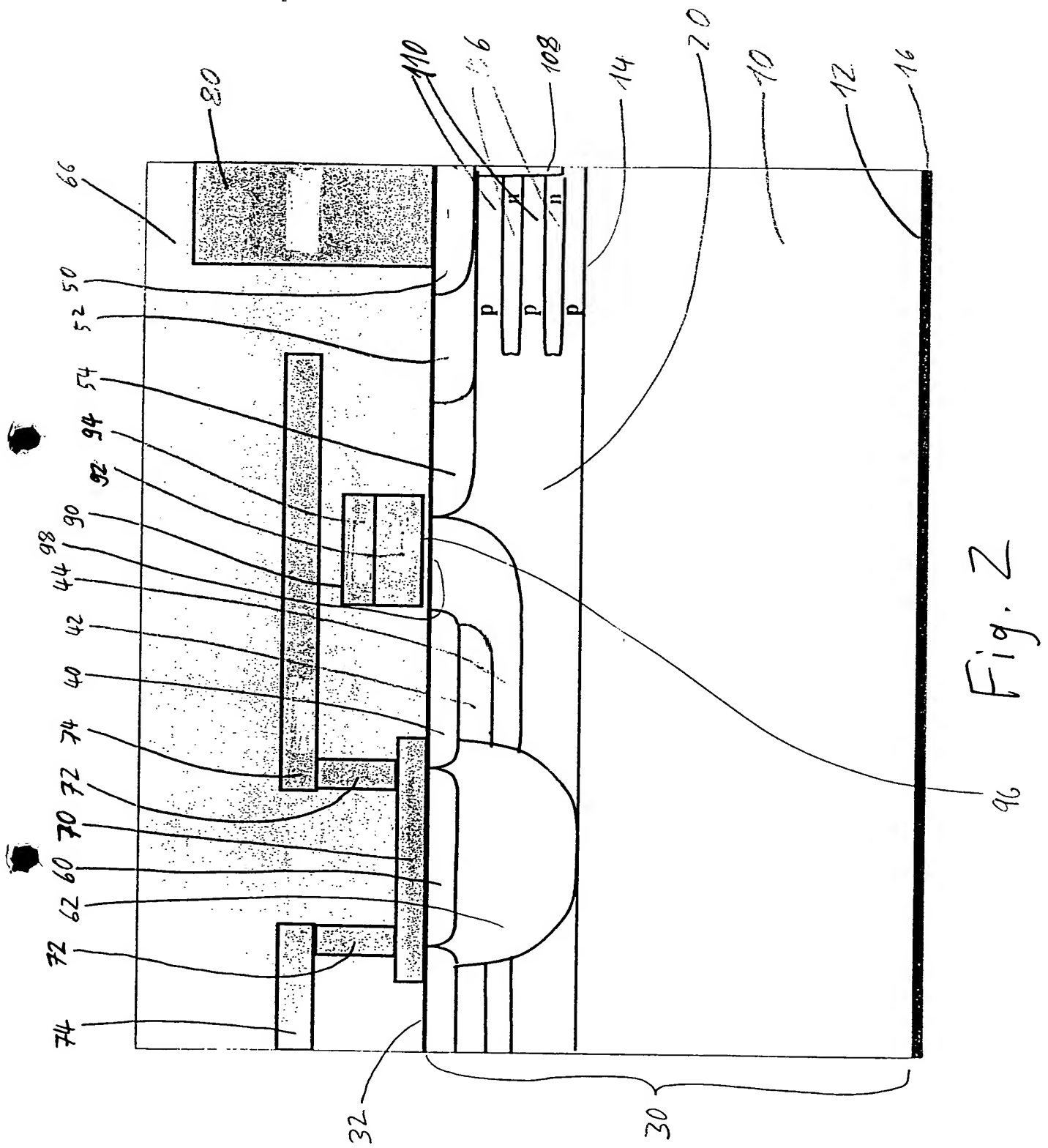


Fig. 1



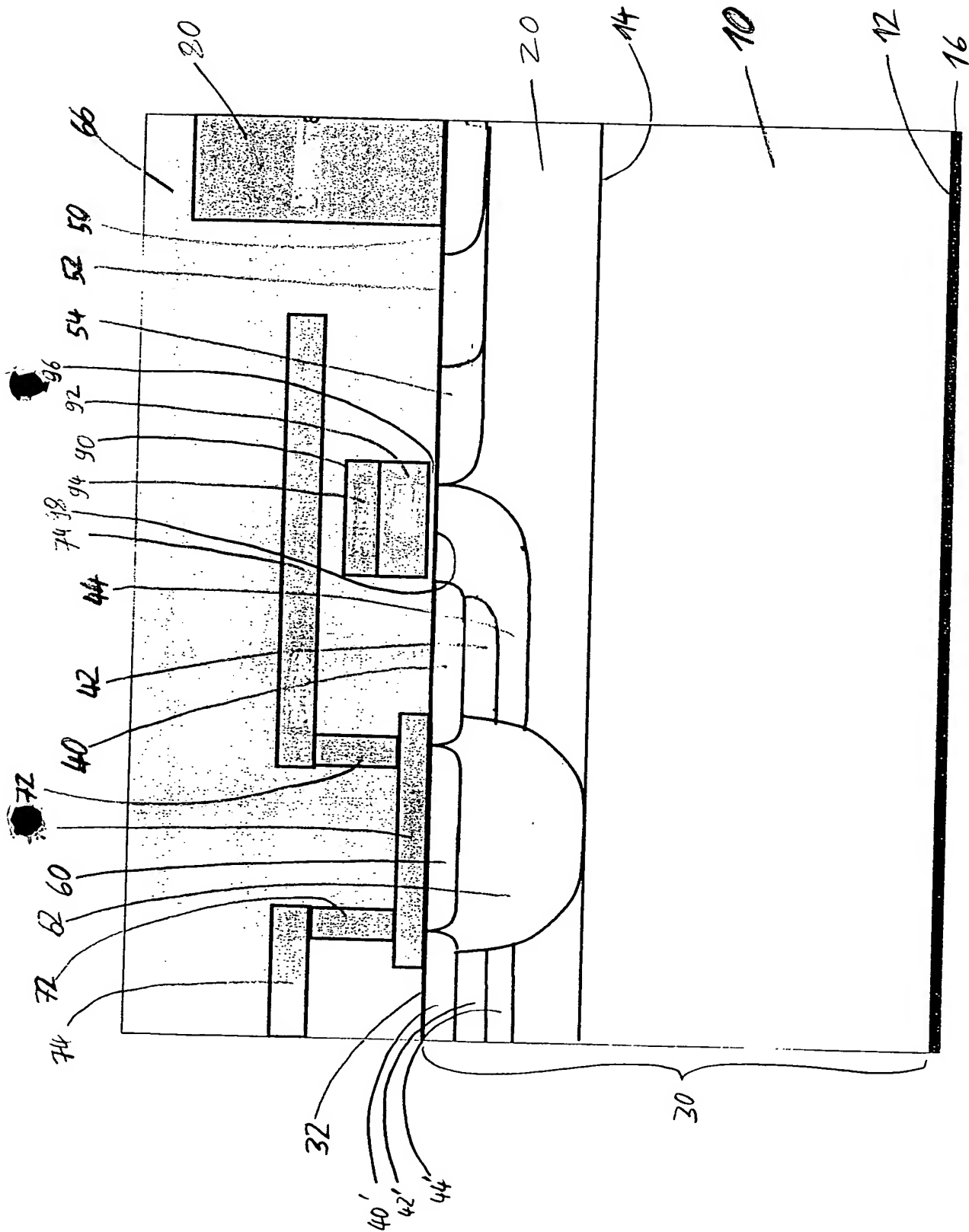


Fig. 3



Figur zur Zusammenfassung:

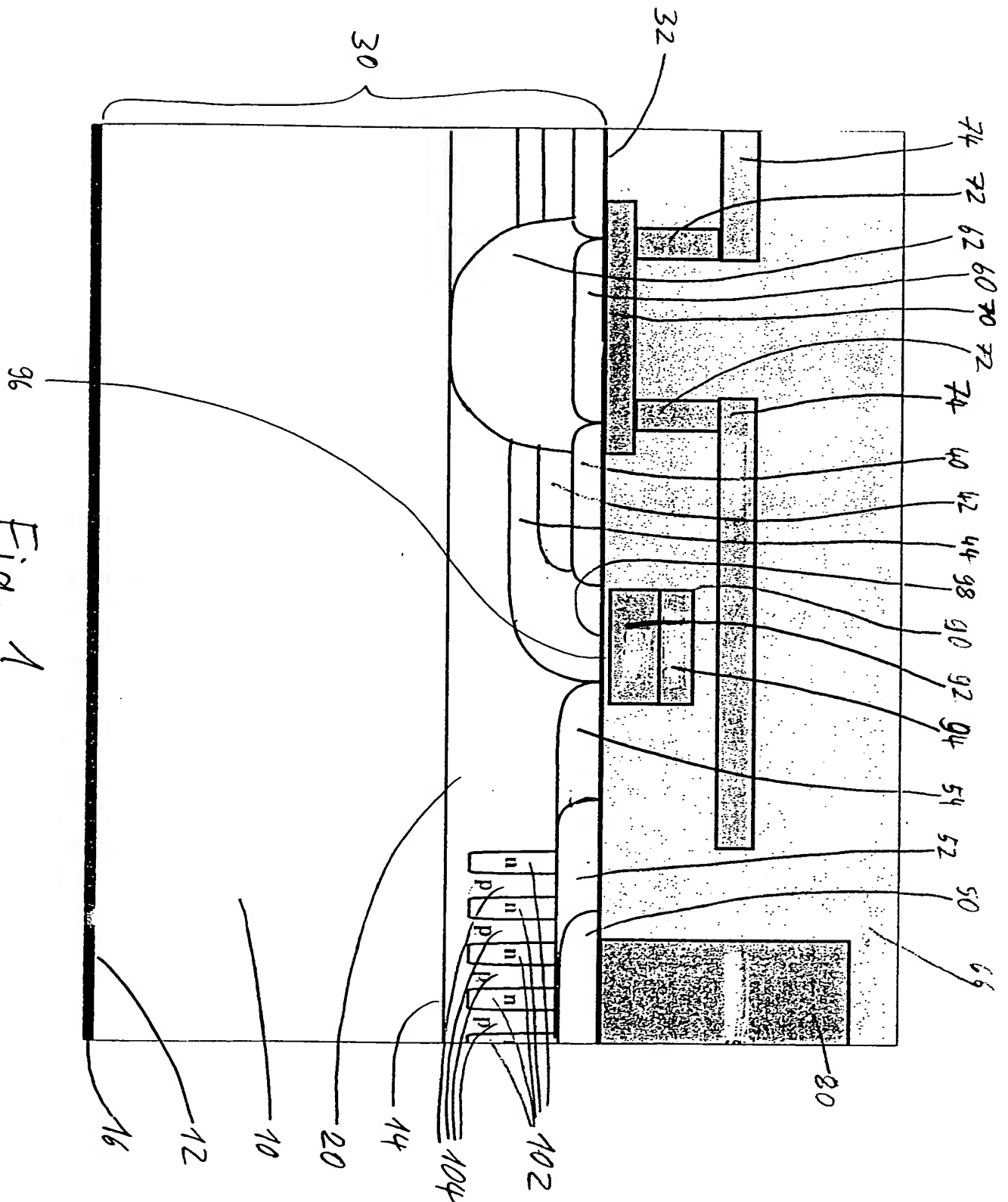


Fig. 1